

⑫ **EUROPÄISCHE PATENTANMELDUNG**

⑰ Anmeldenummer: 85101468.8

⑤① Int. Cl.⁴: **H 03 M 5/14**
H 04 L 25/49, G 11 B 20/14

⑱ Anmeldetag: 12.02.85

③① Priorität: 09.03.84 DE 3408646

④③ Veröffentlichungstag der Anmeldung:
 16.10.85 Patentblatt 85/42

⑥④ Benannte Vertragsstaaten:
 DE FR GB IT

⑦① Anmelder: ANT Nachrichtentechnik GmbH
 Gerberstrasse 33
 D-7150 Backnang(DE)

⑦② Erfinder: Annecke, Karl-Heinz, Dr.
 Nansenstrasse 25/2
 D-7150 Backnang(DE)

⑦② Erfinder: Stallann, Jürgen
 Sechselberger Weg 6
 D-7150 Backnang(DE)

⑦② Erfinder: Bredemeier-Klonki, Volker
 Königsberger Strasse 36
 D-7155 Oppenweiler(DE)

⑦④ Vertreter: Schickle, Gerhard, Dipl.-Ing.
 ANT Nachrichtentechnik GmbH Patent- und
 Lizenzabteilung Gerberstrasse 33
 D-7150 Backnang(DE)

⑤④ Schaltungsanordnung zur Bildung der laufenden digitalen Summe für ein digitales Datensignal.

⑤⑦ Die Erfindung betrifft eine Schaltungsanordnung zum Ermitteln und Überwachen der laufenden digitalen Summe aus einem digitalen Datensignal, wobei die einzelnen Datenbits mit den Werten +1 im Falle einer Binärziffer 1 und -1 im Falle einer Binärziffer 0 bewertet und aufsummiert werden und wobei eine Anzeige erfolgt, wenn die laufende digitale Summe (LDS) einen bestimmten vorgebbaren Betrag überschreitet, mit einem ersten D-Flip-Flop zur Zwischenspeicherung des Dateneingangssignals, und ist dadurch gekennzeichnet, daß ein Auf-/Abwärtszähler mit drei weiteren D-Flip-Flops und einer logischen Verknüpfungsschaltung (Logik) vorgesehen ist, daß die Ein- und Ausgangssignale dieser Flip-Flops und das Ausgangssignal des ersten D-Flip-Flops sowie das Ausgangssignal des Auf-/Abwärtszählers mittels logischer Verknüpfungsglieder nach den Vorschriften der Figur 4 oder in äquivalenter Form verknüpft werden (Figur 1). Der Vorteil dieses Zählers besteht in der geringen Anzahl von Bauelementen, entsprechend geringer Verlustleistung, in der Integrationsfähigkeit und in dem Einsatz bei sehr hohen Datenübertragungsraten, beispielsweise 565 Mbit/s.

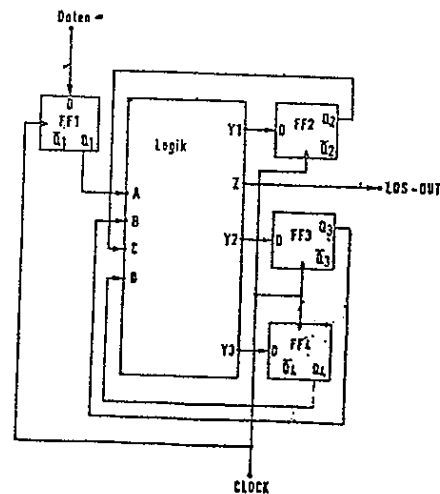


FIG. 1

Schaltungsanordnung zur Bildung der laufenden digitalen
Summe für ein digitales Datensignal

Die Erfindung betrifft eine Schaltungsanordnung zum Bilden und Überwachen der laufenden digitalen Summe für ein digitales Datensignal gemäß Oberbegriff des Patentanspruchs 1.

Solche Schaltungsanordnungen sind bekannt. Sie werden bei bestimmten Übertragungs-codes zur Überwachung und Erkennung von Fehlern benutzt. Beispielsweise werden bei einer Umsetzung von 5-Bit-codierten auf 6-Bit-codierten Datenwörtern bei einer fehlerfreien Übertragung bestimmte Summationsgrenzen $\pm G$ der laufenden digitalen Summe (LDS) nicht überschritten. Wird die Summationsgrenze überschritten, so erfolgt eine Anzeige, welche aussagt, daß Übertragungsfehler erfolgt sind. Die Anzahl der Fehler und die Fehlerposition im Datenstrom sind unbekannt. Aufgrund des Überlaufs der LDS wird eine Fehlerkorrektur, beispielsweise durch Wiederholung, in die Wege geleitet.

Das Grundelement herkömmlicher LDS-Schaltungen ist ein Schieberegister. In diesem Schieberegister wird ein Zeiger zur Schieberegisterfunktion "Rechtsshift" oder "Linksshift" entsprechend des Wertes der übertragenen Datenbits zwischen den Summationsgrenzen $+G$ und $-G$ verschoben. Zur Realisierung der herkömmlichen LDS-Schaltungen, wie beispielsweise in den integrierten Schaltkreisen SP 1450 B (B) und SP 1455 B (B) von Plessey, wird ein Schieberegister der Länge $2x \text{ Betrag } G + 1$ Bit benötigt, sowie eine Ansteuerungslogik für die Schiebefunktion des Registers und eine Anordnung zur Anzeige des Überlaufs der Summationsgrenzen.

Nachteil der herkömmlichen LDS-Schaltungen ist, daß viele Bauelemente benötigt werden, die eine entsprechend hohe Verlustleistung zur Folge haben. Der Einsatz für hohe Bit-raten erscheint deshalb fast aussichtslos.

Der vorliegenden Erfindung lag deshalb die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Art anzugeben, welche einen wesentlichen kleineren Schaltungsaufwand erfordert und welche für die Übertragung mit hohen Bitraten geeignet ist.

Die Lösung erfolgt mit den im Hauptanspruch angegebenen gekennzeichneten Merkmalen. Optimale Ausgestaltungen finden sich in den Unteransprüchen.

Die erfindungsgemäße Schaltungsanordnung weist die Vorteile auf, daß sie nur eine geringe Anzahl von Bauelementen benötigt und somit eine entsprechend geringe Verlustleistung hat. Die Anordnung ist daher prädestiniert für eine Schaltungsintegration, und ihr Einsatz ist für hohe Bitraten, beispielsweise für 565-Mbit/s-Übertragungen, möglich.

Die Erfindung geht aus von der Idee, daß das Vorschieben eines Zeigers in einem Schieberegister in Abhängigkeit von dem Wert der übertragenen Datenbits auch als eine Art von Zählen interpretiert werden kann. Dabei wird jede Wertänderung der Datenbits durch eine Zählrichtungsänderung angezeigt. Erreicht der Zähler die festgesetzten Summationsgrenzen $+G$ oder $-G$, so wird der erreichte Zählerstand bis zur nächsten Wertänderung der Datenbits gehalten. Der Zähler wird bei der vorliegenden Schaltungsanordnung durch eine Binärzähleranordnung realisiert.

Es folgt nun die Beschreibung der Erfindung anhand der Figuren:

Die Figur 1 zeigt ein Blockschaltbild für einen Auf-/Abwärtszähler mit den Grenzen ± 3 . In Figur 2 ist eine Schaltungsrealisierung der Logik nach Figur 1 gemäß der Wahrheitstabelle nach Figur 3 bzw. den logischen Gleichungen nach Figur 4 gezeichnet. In Figur 5 ist ein optimales Ausführungsbeispiel

für einen LDS-Zähler mit nur wenigen Gattern und einem Multiplexer dargestellt. Die Figur 6 zeigt eine Schaltungseinzelheit für das Fangen einer Grenzüberschreitung. In Figur 7 ist ein Impulsdiagramm dargestellt für die Realisierung nach Figur 5 zusammen mit Figur 6. In Figur 8 schließlich ist eine Tabelle aufgelistet, welche die Wertzuweisung auf die Zustände der drei D-Flip-Flops 2, 3 und 4 des Auf-/Abwärtszählers zeigt.

Das Blockschaltbild nach Figur 1 zeigt ein Eingangsdaten-Flip-Flop FF1, in dessen Eingang die Daten einlaufen. Ferner sind drei weitere D-Flip-Flops FF2, FF3 und FF4 gezeichnet, sowie eine logische Verknüpfungsschaltung Logik mit den Eingängen A, B, C und D und den Ausgängen Y1, Y2, Y3 und Z, welch letzterer das Ausgangssignal für die laufende digitale Summe LDS-OUT darstellt. Die Flip-Flops werden durch den Takt CLOCK getaktet.

In Figur 2 ist eine Realisierung für die logische Verknüpfung Logik im einzelnen dargestellt durch logische Verknüpfungsglieder G1 bis G7 sowie durch einen Multiplexer M, wobei einzelne Verknüpfungsglieder wie G1, G3 und der Multiplexer M jeweils durch zwei UND-Glieder und ein ODER-Glied realisiert sind. Die Anordnung ist nach der Wahrheitstabelle der Figur 3 bzw. nach den logischen Verknüpfungsgleichungen der Figur 4 aufgebaut.

Die Figur 5 zeigt einen optimal ausgestalteten Auf-/Abwärtszähler, der außer dem Multiplexer M und den drei D-Flip-Flops FF2 bis FF4 lediglich sieben Gatter G1 bis G7 aufweist, wobei die Gatter G1 und G3 ausschließende ODER-Schaltungen mit zwei Eingängen, die Gatter G2 und G4 ODER-Schaltungen mit vier Eingängen, die Gatter G5 und G6 ODER-Schaltungen mit zwei Eingängen und das Gatter G7 ein UND-Glied sind. Die Eingänge der logischen Verknüpfungsglieder sind wie folgt beaufschlagt: Ausschließendes ODER-Glied G1: $Y1 = A$,
 $Y2 = B$,

ODER-Glied G2:

Y1 = A
Y2 = B
Y3 = \overline{C}
Y4 = D

ausschließendes ODER-Glied G3:

Y1 = A
Y2 = \overline{C}

ODER-Glied G4:

Y1 = \overline{A}
Y2 = \overline{B}
Y3 = C
Y4 = \overline{D}

ODER-Glied G5:

Y1 = G1
Y2 = $\overline{G2}$

ODER-Glied G6:

Y1 = G3
Y2 = $\overline{G4}$

UND-Glied G7:

Y1 = G3
Y2 = G4

die Belegung des Multiplexers M ist wie folgt:

A0 = D
A1 = A
S1 = C
S2 = B

die Belegung der Flip-Flops FF2:

Y = G5

FF3:

Y = G6

FF4:

Y = M

das Ausgangssignal LDS-OUT:

Z = $\overline{G7}$.

Zur Berechnung der laufenden digitalen Summe eines 5B- 6B-codierten Datenstroms wird eine LDS-Schaltung mit den Begrenzungen ± 3 benötigt, wie sie in Figur 5 dargestellt ist. Die laufende digitale Summe wird in den im wesentlichen durch die Flip-Flops FF2, FF3 und FF4 repräsentierten Zähler aufgenommen, wobei den einzelnen Zählerständen jeweils ein gewisser Wert (Summe) zugewiesen wird, wie in Figur 8 dargestellt ist. Bei Erreichen der Summe +3 oder -3 hat ein weiteres zu übertragendes Datenbit, welches das gleiche Vorzeichen wie das der erreichten Grenze aufweist, zur Folge, daß am Ausgang von G7 ein Impuls der Länge $n \times T$ ansteht. T ist dabei die Periodendauer des Taktes CLOCK,

und n ist die Anzahl der Datenbits, die den Überlauf verursachen.

Mit der Fangschaltung nach Figur 6 können die Umlaufimpulse mit I beliebig verlängert werden. Hierbei ist ein weiteres D-Flip-Flop FF5 vorgesehen, dessen Eingang von LDS-OUT beaufschlagt ist. Sobald ein Überlauf erfolgt, wird das Flip-Flop FF5 gesetzt, wodurch über eine Konjunktionsschaltung G8 mit dem Verlängerungssignal I, welche Konjunktionsschaltung in einer Rückkoppelschleife auf den Eingang des Flip-Flops FF5 führt, der Eingang besetzt bleibt. Der Takt für das Flip-Flop FF5 ist aus Gründen der Laufzeitanpassung über ein Gatter G9 geführt.

Die in Figur 5 realisierte Schaltungsanordnung weist gegenüber den herkömmlichen Lösungen, die mit einem Schieberegister arbeiten, eine minimale Anzahl von Verknüpfungsgliedern auf, was sich günstig auf den Leistungsverbrauch auswirkt.

Außerdem ist die Schaltungsstruktur derart, daß die Verknüpfungslogik lediglich zweiter Ordnung ist, so daß die Schaltungsanordnung bestens geeignet ist für hohe Datenübertragungsraten. Unter Ausnutzung der Möglichkeiten zur Überführung von ODER- oder UND-Gliedern in WIRED-OR bzw. WIRED-AND kann die Verknüpfungslogik bei der Realisierung in entsprechenden Technologien auf eine Struktur erster Ordnung reduziert werden, so daß die Laufzeit der Verknüpfungslogik zwischen den Flip-Flop-Ebenen noch weiter reduziert werden kann, wodurch eine weitere Erhöhung der Datenübertragungsrate ermöglicht wird.

- 1 -

ANT Nachrichtentechnik GmbH
 Gerberstr. 33
 D-7150 Backnang

E7/Ruf/sch
 BK 83/131

Patentansprüche

1. Schaltungsanordnung zum Ermitteln und Überwachen der laufenden digitalen Summe aus einem digitalen Datensignal, wobei die einzelnen Datenbits mit den Werten +1 im Falle einer Binärziffer 1 und -1 im Falle einer Binärziffer 0 bewertet und aufsummiert werden und wobei eine Anzeige erfolgt, wenn die laufende digitale Summe (LDS) einen bestimmten vorgebbaren Betrag überschreitet, mit einem ersten D-Flip-Flop zur Zwischenspeicherung des Dateneingangssignals, dadurch gekennzeichnet, daß ein Auf-/Abwärtszähler mit drei weiteren D-Flip-Flops (FF2, FF3, FF4) und einer logischen Verknüpfungsschaltung (Logik) vorgesehen ist, daß die Ein- (Y1, Y2, Y3) und Ausgangssignale ($C = Q2(t)$, $B = Q3(t)$, $D = Q4(t)$) der drei weiteren D-Flip-Flops (FF2, FF3, FF4) und das Ausgangssignal ($A = Q1(t)$) des ersten D-Flip-Flops (FF1) mittels logischer Verknüpfungsglieder nach den Vorschriften

$$Y1 = (A \wedge \bar{B}) \vee (\bar{A} \wedge B) \vee (A \vee B \vee \bar{C} \vee D) \quad (1)$$

$$Y2 = (A \wedge C) \vee (\bar{A} \wedge \bar{C}) \vee (\bar{A} \vee \bar{B} \vee C \vee \bar{D}) \quad (2)$$

$$Y3 = ((B \vee C) \wedge D) \vee ((B \vee \bar{C}) \wedge A) \quad (3)$$

oder in äquivalenter Form verknüpft werden und daß sich das Ausgangssignal (Z) des Auf-/Abwärtszählers aus der logischen Verknüpfung

$$\bar{Z} = (A \vee B \vee \bar{C} \vee D) \wedge (\bar{A} \vee \bar{B} \vee C \vee \bar{D}) \quad (4)$$

ergibt.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß zwei ausschließende ODER-Glieder (G1, G3), zwei ODER-Glieder (G2, G4) mit vier Eingängen, zwei ODER-Glieder (G5, G6) mit zwei Eingängen, ein UND-Glied (G7) und ein Zwei:Eins-Multiplexer (M) vorgesehen sind, daß die Eingänge dieser Verknüpfungsglieder wie folgt beaufschlagt werden

erstes ausschließendes ODER-Glied (G1):	Y1 = A
	Y2 = B
zweites ausschließendes ODER-Glied (G3):	Y1 = A
	Y2 = \bar{C}
erstes ODER-Glied mit vier Eingängen (G2):	Y1 = A
	Y2 = B
	Y3 = \bar{C}
	Y4 = D
zweites ODER-Glied mit vier Eingängen (G4):	Y1 = \bar{A}
	Y2 = \bar{B}
	Y3 = C
	Y4 = \bar{D}
erstes ODER-Glied mit zwei Eingängen (G5);	Y1 = G1
	Y2 = G2

zweites ODER-Glied mit zwei Eingängen (G6): $Y1 = G3$

$Y2 = \overline{G4}$

UND-Glied (G7):

$Y1 = G2$

$Y2 = G4$

Multiplexer (M):

$A0 = D$

$A1 = A$

$S1 = C$

$S2 = B$

die drei weiteren D-Flip-Flops (FF2):

$Y1 = G5$

(FF3):

$Y1 = G6$

(FF4):

$Y1 = M$

Ausgangssignal Z

$Z = G7,$

wobei $G1, G2, \overline{G2}, G3, G4, \overline{G4}, G5, G6, \overline{G7}, M$

die Ausgangssignale bzw. die invertierten Ausgangssignale der entsprechenden Glieder bzw. des Multiplexers und wobei $Y1, Y2, Y3, Y4, A0, A1, S1, S2$ die Eingangssignale dieser logischen Verknüpfungsglieder bzw. die Dateneingangssignale bzw. die Setzeingänge des Multiplexers (M) sind.

3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß eine Fangschaltung vorgesehen ist, mittels der ein Überschreiten der laufenden digitalen Summe über den vorgebbaren Wert speicherbar ist, indem das Ausgangssignal (Z) des Auf-/Abwärtszählers auf den Eingang eines weiteren D-Flip-Flops (FF5) geführt ist und wobei dessen Ausgangssignal ($Q5(t)$) über ein weiteres UND-Glied (G8), dessen zweiter Eingang von einem das Fangen erlaubenden oder ausschaltenden Signal (I) angesteuert ist, ebenfalls auf seinen Eingang zurückgeführt ist.

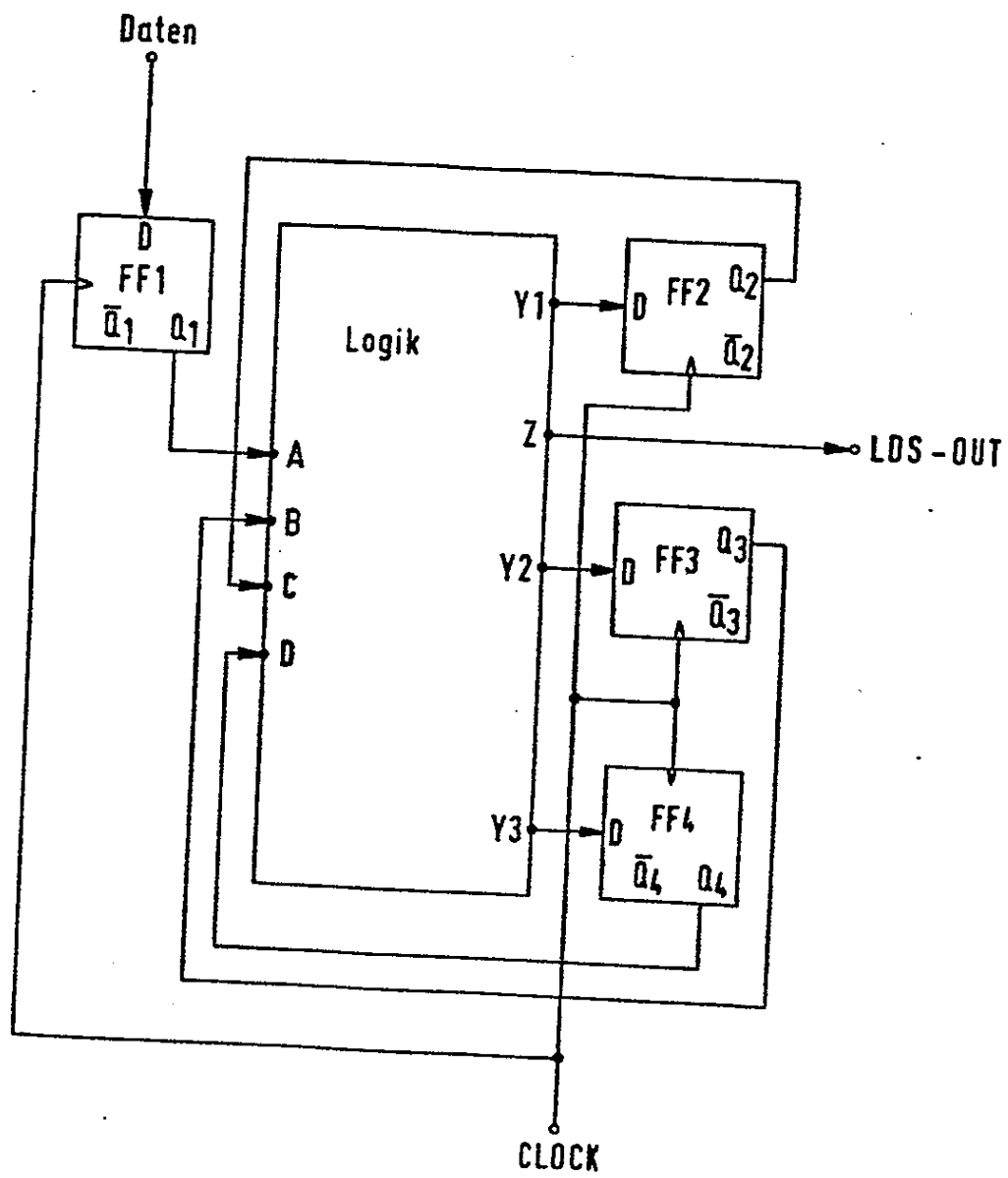


FIG. 1

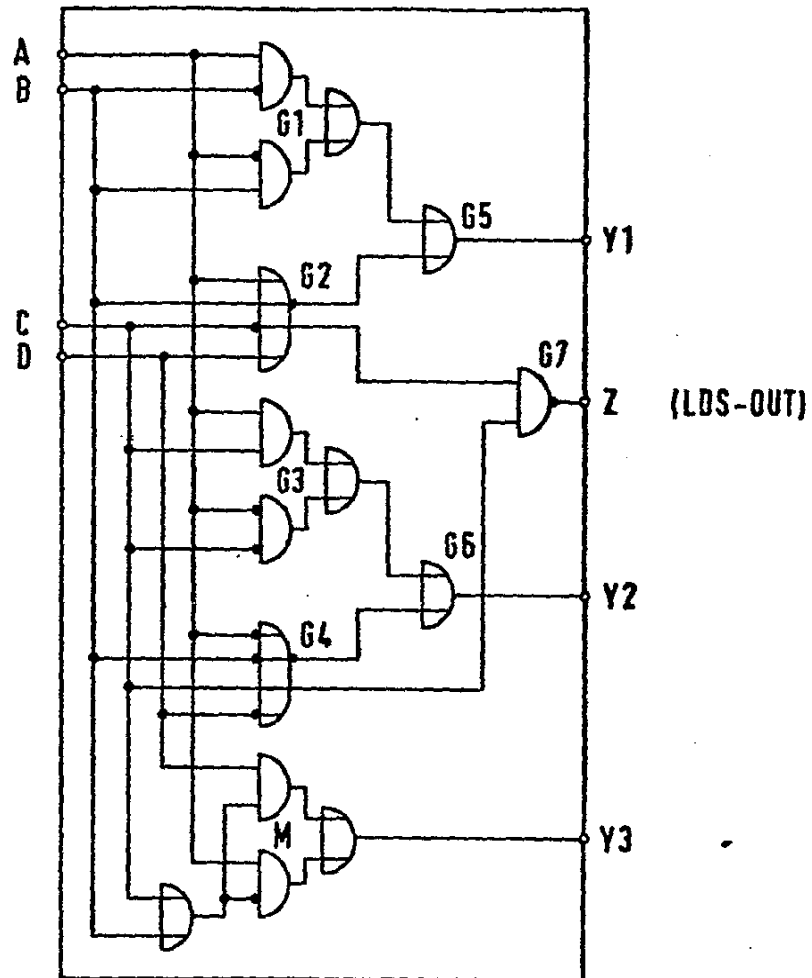


FIG. 2

A	B	C	D	Y1	Y2	Y3	Z
0	0	0	0	0	1	0	0
0	0	0	1	0	1	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	0	1	0
0	1	0	0	1	1	0	0
0	1	0	1	1	1	1	0
0	1	1	0	1	0	0	0
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	0
1	0	0	1	1	0	1	0
1	0	1	0	1	1	0	0
1	0	1	1	1	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	1	1	1
1	1	1	0	0	1	0	0
1	1	1	1	0	1	1	0

FIG. 3

4/6

$$\begin{aligned}
 A &= Q_1(t) \\
 B &= Q_3(t) \\
 C &= Q_2(t) \\
 D &= Q_4(t) \\
 Y1 &= (A \wedge \bar{B}) \vee (\bar{A} \wedge B) \vee \overline{(A \vee B \vee \bar{C} \vee D)} \\
 Y2 &= (A \wedge C) \vee (\bar{A} \wedge \bar{C}) \vee \overline{(\bar{A} \vee \bar{B} \vee C \vee \bar{D})} \\
 Y3 &= ((B \vee C) \wedge D) \vee \overline{((B \vee C) \wedge A)} \\
 Z &= \overline{(A \vee B \vee \bar{C} \vee D)} \wedge (\bar{A} \vee \bar{B} \vee C \vee \bar{D})
 \end{aligned}$$

FIG. 4

Wert 3	FF 2Q	FF 3Q	FF 4Q
-3	1	0	0
-2	1	1	0
-1	0	1	0
±0	0	0	0
1	1	0	1
2	1	1	1
3	0	1	1

FIG. 8

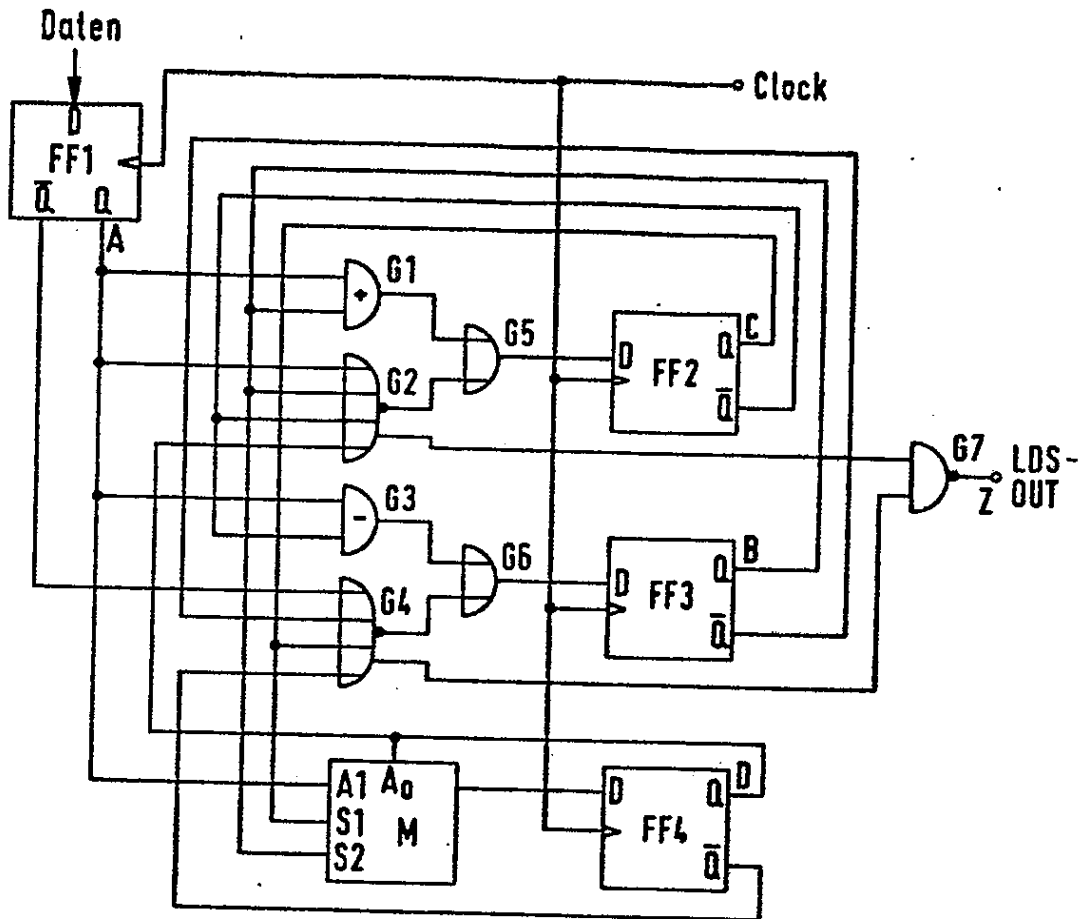


FIG. 5

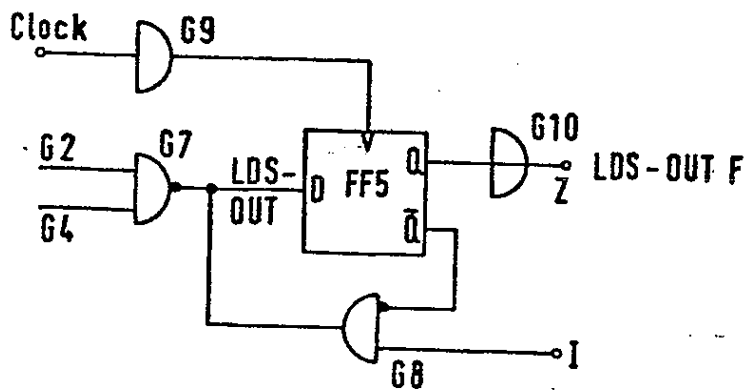


FIG. 6

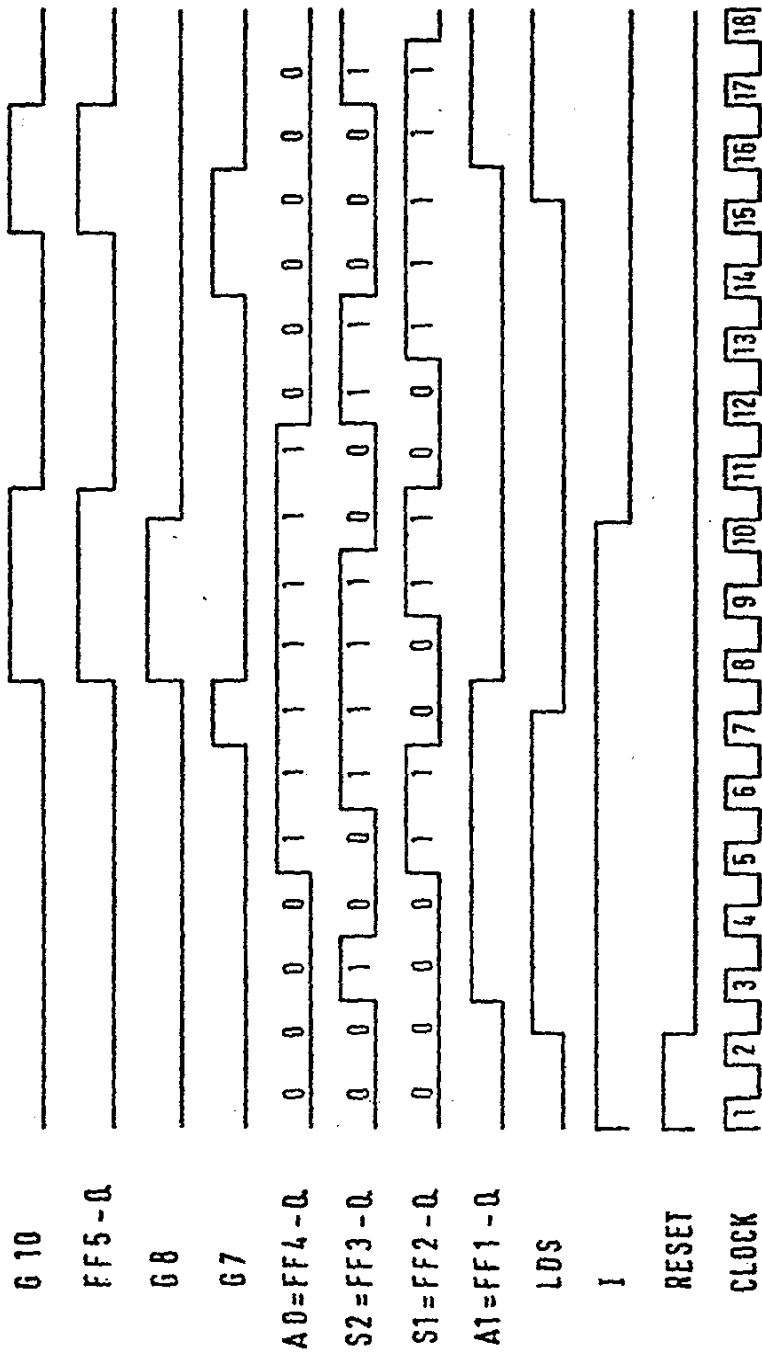


FIG. 7